

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338424

(43)Date of publication of application : 10.12.1999

(51)Int.CI. G09G 3/36
 G02F 1/133
 G02F 1/133
 G09G 3/20
 G09G 3/20

(21)Application number : 10-139857

(71)Applicant : HITACHI LTD
 HITACHI VIDEO & INF SYST INC

(22)Date of filing : 21.05.1998

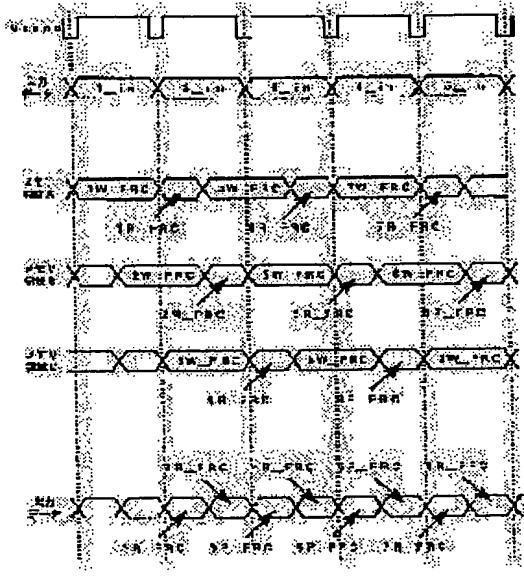
(72)Inventor : KUDO YASUYUKI
 FURUHASHI TSUTOMU
 UCHIDA SHINJI
 INUZUKA TATSUHIRO

(54) LIQUID CRYSTAL CONTROLLER AND LIQUID CRYSTAL DISPLAY DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize conversion of frame frequency of a display signal and gradation display process by FRC with a smaller capacity memory by switching a pattern of generated pattern signals according to the output order of a frame formed by binary display data output after conversion.

SOLUTION: The input gradation data is individually converted to FRC data by the respective FRC processing parts A-C. In the respective memory areas A-C, FRC data converted by FRC processing parts A-C is sequentially written for each one frame, and after that, FRC data is read at double the speed of write operation. The above operation is repeated. The gradation data (input data) is converted to FRC data (output data) having a double frame period. Here, the operation periods (write operation and read operation) of the respective memory areas A-C are respectively shifted only by half the period of the input frame.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-338424

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20

識別記号
5 0 0
5 0 5
6 3 1
6 4 1

F I
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20

5 0 0
5 0 5
6 3 1 D
6 4 1 E

審査請求 未請求 請求項の数6 OL (全12頁)

(21)出願番号 特願平10-139857

(22)出願日 平成10年(1998)5月21日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム
神奈川県横浜市戸塚区吉田町292番地

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 古橋 勉

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

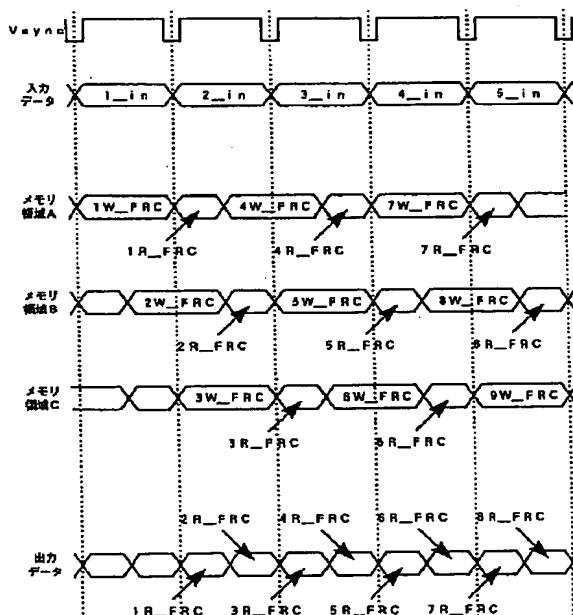
(54)【発明の名称】 液晶コントローラおよびそれを用いた液晶表示装置

(57)【要約】

【課題】 表示信号のフレーム周波数の変換と、FRCによる階調表示処理とを、より少ない容量のメモリを用いて実施する液晶コントローラを提供する。

【解決手段】 階調表示データの各値について予め定められたパターンを生成し、入力される階調表示データに対応するパターンの値を2値表示データとして出力するP個(Pは3以上の整数)のFRC処理部と、それぞれ1フレーム分の2値表示データの記憶容量を有するP個のメモリ領域と、所定の位相で各メモリ領域に2値表示データを1フレーム分ライトすると共に、ライト後、ライト時のN倍(Nは1より大きい実数)の速度で各メモリ領域の2値表示データをリードする制御を行うメモリ制御部とを備え、各FRC処理部は、生成するパターンの位相を、変換後に outputする2値表示データが構成するフレームの出力順位に応じて切り替える。

図5



【特許請求の範囲】

【請求項1】1画素当たり複数ビットの階調表示データと同期信号群とを入力され、1画素当たり1ビットの2値表示データと同期信号群とを出力することにより、単純マトリクス型の液晶パネルに、階調表示データに対応した階調表示を行わせるための液晶コントローラであって、前記階調表示データの各値について、予め定めた複数のパターンを有するパターン信号を生成し、入力される階調表示データに対応するパターン信号の値を2値表示データとして出力するP個（Pは3以上の整数）のFRC処理部と、各FRC処理部に対応して配置され、それぞれ1フレーム分の2値表示データの記憶容量を有するP個のメモリ領域と、入力される同期信号に同期して、所定の位相で前記各メモリ領域に2値表示データを1フレーム分ライトすると共に、ライト後、ライト時のN倍（Nは1より大きい実数）の速度で各メモリ領域の2値表示データをリードする制御を行うメモリ制御部とを備え、前記各FRC処理部は、生成するパターン信号のパターンを、変換後に outputする2値表示データが構成するフレームの出力順位に応じて切り替えることを特徴とする液晶コントローラ。

【請求項2】請求項1記載の液晶コントローラであって、前記メモリ制御回路は、前記メモリ領域に対するライト期間およびリード期間が、各メモリ領域間で、階調表示データの1フレーム期間の1/Nだけずれ、かつ、前記各メモリ領域のリード期間が連続的につながるように、制御を行うことを特徴とする液晶コントローラ。

【請求項3】請求項1記載の液晶コントローラであって、前記メモリ制御回路は、各メモリ領域において、リード期間とライト期間とが、前記Nの値により定まる長さの非アクセス期間を挟んでつながり、かつ、前記各メモリ領域のリード期間が連続的につながるように、制御を行うことを特徴とする液晶コントローラ。

【請求項4】請求項1記載の液晶コントローラであって、出力する2値表示データのフレーム周波数が予め定めた範囲に収まるように、入力される同期信号を基に前記Nの値を変更するための手段を、さらに有することを特徴とする液晶コントローラ。

【請求項5】単純マトリクス型の液晶パネルと、請求項1、2、3、4のいずれかに記載の液晶コントローラと、液晶コントローラから出力される同期信号に従って、2値表示データに対応する表示を前記液晶パネルに行わせる走査ドライバおよびデータドライバとを備えることを特徴とする液晶表示装置。

【請求項6】請求項5記載の液晶表示装置であってアナログデータである表示データを、デジタルデータである階調データに変換するA/D変換器を、さらに備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力される表示データを、使用する液晶パネルに合った形式の表示データに変換する液晶コントローラに関し、特に、STN液晶パネルに階調表示を行わせることに好適な液晶コントローラに関する。

【0002】

【従来の技術】従来、単純マトリクス型のSTN液晶パネルでは、最適なコントラストを得るための駆動フレーム周波数が90Hz～180Hz程度となる。この周波数は、CRT装置やTFT液晶パネルで用いるフレーム周波数（60～75Hz）に比べて高い。このため、STN液晶パネルを用いる液晶表示装置で、CRT装置やTFT液晶パネル用の表示信号を表示するためには、フレームメモリを用いてフレーム周波数を高速化する処理が必要になる。

【0003】STN液晶パネルの表示方法としては、1画素に対して表示オンまたは表示オフの2値表示が主流である。この表示方法を用いて、1画素に対し表示オン時と表示オフ時との中間の階調（中間階調）を表示する技術としては、フレーム・レイ特・コントロール（FRC）方式がある。

【0004】FRC方式は、数フレームを1周期として、この周期の中で各画素における表示オンと表示オフの割合を調整することで中間階調を得る方法である。このFRC方式では、例えば図4に示すように、ある大きさのマトリクスの中で表示オンと表示オフから成るパターン（以下、FRCパターンと呼ぶ）を形成し、このFRCパターンをフレーム毎に切り替えていく方法が一般的である。

【0005】図12に、フレーム周波数の変換と中間階調処理と共に実現する従来の液晶コントローラの構成例を示す。この構成において、入力される階調データは、フレームメモリに1フレーム分記憶され、フレーム周波数を変換された後、FRC処理部で階調処理をなされる。

【0006】

【発明が解決しようとする課題】上記従来の液晶コントローラでは、フレーム周波数の変換と、FRC方式の中間階調処理を行なう場合、1フレーム分の階調データをメモリに一旦記憶して、フレーム周波数を変換した後、中間階調処理を行なう方法をとる。このため、例えば1画素当たり8ビットの階調データを1フレーム分記憶できるだけの、容量の大きい高価なメモリが必要であった。

【0007】本発明の目的は、表示信号のフレーム周波

数の変換と、FRCによる階調表示処理とを、より少ない容量のメモリを用いて実現する液晶コントローラ、および、それを用いた液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、1画素当たり複数ビットの階調表示データと同期信号群とを入力され、1画素当たり1ビットの2値表示データと同期信号群とを出力することにより、単純マトリクス型の液晶パネルに、階調表示データに対応した階調表示を行わせるための液晶コントローラであって、前記階調表示データの各値について、予め定めた複数のパターンを有するパターン信号を生成し、入力される階調表示データに対応するパターンの値を2値表示データとして出力するP個（Pは3以上の整数）のFRC処理部と、各FRC処理部に対応して配置され、それぞれ1フレーム分の2値表示データの記憶容量を有するP個のメモリ領域と、入力される同期信号に同期して、所定の位相で前記各メモリ領域に2値表示データを1フレーム分ライトすると共に、ライト後、ライト時のN倍（Nは1より大きい実数）の速度で各メモリ領域の2値表示データをリードする制御を行うメモリ制御部とを備え、前記各FRC処理部は、生成するパターン信号のパターンを、変換後に输出する2値表示データが構成するフレームの出力順位に応じて切り替えることを特徴とする液晶コントローラを提供する。

【0009】また、本発明は、単純マトリクス型の液晶パネルと、上記の液晶コントローラと、液晶コントローラから出力される同期信号に従って、2値表示データに対応する表示を前記液晶パネルに行わせる走査ドライバおよびデータドライバとを備えることを特徴とする液晶表示装置を提供する。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。

【0011】図1に、本発明の第1の実施形態に係る液晶表示装置100の構成を示す。図示のように、液晶表示装置100は、液晶コントローラ110と、単純マトリクス型の液晶パネル120と、走査ドライバ130と、データドライバ140とを有する。なお、走査ドライバ130およびデータドライバ140は、液晶パネル120の解像度（画素数）に対応した数だけ配置される。

【0012】液晶パネル120は、互いに交差する複数のデータ電極および走査電極と、データ電極および走査電極の交差部分に形成される複数のSTN液晶セルとを有する（図示せず）。ここで、各走査電極は液晶パネル120の画素配列の行に対応し、各データ電極は液晶パネル120の画素配列の列に対応する。なお、STN液晶セルの光透過率は、データ電極および走査電極の印加

電圧の差の2乗平均に応じて変化する。

【0013】液晶コントローラ110は、パソコンやコンピュータ等である外部装置から表示データおよび同期信号群を入力され、液晶パネル120表示用の表示データおよび同期信号群を、走査ドライバ130およびデータドライバ140に出力する。

【0014】ここで、入力される表示データは、1画素当たり複数ビット（Nビット）のデジタルデータ（以下、階調データ）であり、例えばNビット幅のバスを介して画素単位に入力される。一方、出力する液晶パネル120表示用の表示データは、オン表示またはオフ表示を示す、1画素当たり1ビットのデータ（以下、FRCデータ）である。

【0015】また、液晶コントローラ110では、フレーム周波数の変換を行う。本実施形態は、FRCデータのフレーム周波数を、階調データのフレーム周波数の2倍とした例である。

【0016】走査ドライバ130は、液晶パネル120の走査電極に接続され、同期信号群に従い、表示を有効にする電圧を先頭行から最終行にかけて順次に走査電極に印加する動作を繰り返す。一方、データドライバ140は、液晶パネル120のデータ電極に接続され、同期信号群に従い、表示を有効にされた行のFRCデータに対応する電圧（オン表示またはオフ表示の電圧）を一齊にデータ電極に印加する。この動作が繰り返され、フレーム表示がなされる。

【0017】以下では、階調データのビット数Nを8とし、液晶パネル120での連続する255回（2のN乗-1回）のフレーム表示により1画面分の階調表示を行うものとする。

【0018】図2に、液晶コントローラ110の構成を示す。

【0019】図示のように、液晶コントローラ110は、FRC処理部A202、B203、C204と、メモリ領域A205、B206、C207と、リードデータセレクタ208と、液晶出力インターフェース部209と、メモリ制御部212とを有する。

【0020】液晶コントローラ110は、外部装置から入力される階調データ210および同期信号群211を基に、液晶パネル表示用のFRCデータおよび同期信号群（液晶表示信号213）を生成し、出力する。入力される階調データ210および同期信号群211は、一般的なTFT液晶表示装置用に生成されたものと同じ内容およびタイミングを有する。

【0021】なお、入力される同期信号群211は、階調データ210の転送における1フレーム期間を示すVsync信号と、1水平期間を示すHsync信号と、転送タイミングを示すドットクロックと、該転送の有効期間を示す信号とからなる。出力する同期信号群（213）は、一般的なSTN液晶表示装置で生成されるもの

と同じタイミングを有し、上記の同期信号群211と同じ種類の同期信号からなる。

【0022】FRC処理部A～Cは、それぞれ、画素当たり8ビットの階調データ210を入力され、1ビットのFRCデータ（オン表示／オフ表示）を出力する。

【0023】メモリ領域A～Cは、それぞれ、1フレーム分のFRCデータを格納する記憶容量を有する。各メモリ領域A～Cは、メモリ制御部212からの制御信号により、FRC処理部A～Cの出力するFRCデータを1フレーム分ライトされ、その後、リードされる。

【0024】データセレクタ208は、同期信号群211に従い、メモリ領域A～CからリードされるFRCデータを選択して、出力する。このとき、出力されるFRCデータは、液晶パネル120の画素配列に合った配列となる。

【0025】図3に、各FRC処理部A～Cの構成を示す。図示のように、各FRC処理部A, B, Cは、FRCパターン生成器301と、FRCパターンセレクタ303とからなる。

【0026】FRCパターン生成器301は、上記の同期信号群211に従い、階調データの各値（0～255）に対応した256個のFRCパターン信号からなるFRCパターン信号群302を生成し、出力する。各FRCパターン信号は、2レベル（ロー／ハイ）の信号であり、予め定めたパターンで変化する。

【0027】FRCパターンセレクタ303は、FRCパターン生成器301で生成されている256個のFRCパターン信号（302）の中から、入力される階調データ210の値に対応するFRCパターン信号を選択し、その値をFRCデータとして出力する。

【0028】FRCパターン信号群302について、さらに詳しく説明する。

【0029】FRCパターン信号群302の各FRCパターン信号は、ハイ期間の割合がそれぞれ異なっている。大きい階調データ値に対応するFRCパターン信号ほど、ハイ期間の割合（以下、階調率）が高い。例えば、FRCパターン信号のローはオフ表示に対応し、ハイはオン表示に対応する。

【0030】また、FRCパターン信号群302の各FRCパターン信号は、1階調当たり255種類（2のN乗-1種類）のパターンを有する。各FRCパターン生成回路301は、後述するパターン切替制御により、FRCパターン信号群302のパターンの切り替えを行い、階調データのドットクロックに同期してパターンの変化を進める。

【0031】このFRCパターン信号の具体例について、単純なモデルを用いて説明する。ここでは、5フレームを1周期として6階調表示を行う場合を想定する。図4に、液晶パネルに階調率4/5の均一な灰色表示を行なう場合の表示例を示す。この例では、1フレームが5

行・5列の画素ブロックに均等に分割され、フレーム内の各画素ブロックでは同じ表示がなされる。なお、簡略化のため、図にはフレームとして1画素ブロックのみを示している。

【0032】表示はフレーム1、2、3、4、5の順になされ、階調データの値が変化しない場合には同じ順序で表示が繰り返される。図示のようにオン表示およびオフ表示を分散化することにより、ちらつきの少ない表示が可能となる。

10 【0033】この表示では、階調率4/5のFRCバターン信号が連続的に選択され、その信号値がFRCデータとなる。図示のように、このFRCバターン信号は、そのバターンが表示対象のフレーム間で異なるように生成される。つまり、このFRCバターン信号は、各フレーム1～5のそれぞれに対応する5つのバターンを有することになる。なお、これらのFRCバターン信号は、1つの周期信号（0, 1, 1, 1, 1）の位相制御により生成できるため、簡易な構成の回路で生成することができる。

20 【0034】他の階調率のFRCバターン信号についても、ハイ期間の割合が異なる以外は同じ特徴を有する。

【0035】256階調表示を行う本実施形態では、FRCバターン信号が、以上で説明した6階調表示のFRCバターン信号を拡張したものとなる。すなわち、本実施形態では、連続する255個のフレーム表示により1画面分の階調表示がなされるため、各FRCパターン信号が255種類のバターンを有し、FRCデータのフレームの出力順位に対応してその内の1バターンが選択されることになる。

30 【0036】次に、本実施形態の液晶コントローラ110の動作について説明する。

【0037】図5に、液晶コントローラ110におけるメモリ制御のタイミングチャートを示す。図中、1_in, 2_in, ..., は、入力される階調データ210（入力データ）のフレームを示す。1W_FRC, 2W_FRC, ..., は、各メモリ領域A, B, Cに出力され、ライトされるFRCデータのフレームを示す。1R_FRC, 2R_FRC, ..., は、各メモリ領域A, B, Cからリードされ、出力されるFRCデータ（出力データ）のフレームを示す。

40 【0038】入力された階調データは、各FRC処理部A, B, Cで個別にFRCデータに変換される。各メモリ領域A, B, Cは、それぞれ、FRC処理部A, B, Cで変換されたFRCデータを順次1フレーム分ライトされ、その後、ライト動作の2倍の速度で、FRCデータをリードされる。そして、この動作が繰り返される。ここで、各メモリ領域A, B, Cの動作周期（ライト動作およびリード動作）は、それぞれ、入力フレームの半分の期間だけずれたものとなる。

50 【0039】すなわち、図5に示すように、フレーム1

_inの階調データは、FRC処理部Aにおいて、フレーム1W_FRCのFRCデータに変換され、メモリ領域Aにライトされていく。

【0040】フレーム1_inの後半と2_inの前半の階調データは、FRC処理部Bにおいて、フレーム2W_FRCのFRCデータに変換され、メモリ領域Bにライトされていく。一方、フレーム2_inの前半の階調データが入力される期間には、メモリ領域A内の1フレーム分のFRCデータが順次リードされ、フレーム1R_FRCのFRCデータとして出力される。

【0041】フレーム2_inの階調データは、FRC処理部Cにおいて、フレーム3W_FRCのFRCデータに変換され、メモリ領域Cにライトされていく。一方、フレーム2_inの後半の階調データが入力される期間には、メモリ領域B内の1フレーム分のFRCデータが順次リードされ、フレーム2R_FRCのFRCデータとして出力される。

【0042】フレーム2_inの後半と3_inの前半の階調データは、FRC処理部Aにおいて、フレーム4W_FRCのFRCデータに変換され、メモリ領域Aにライトされていく。そして、フレーム3_inの前半の階調データが入力される期間には、メモリ領域C内の1フレーム分のFRCデータが順次リードされ、フレーム3R_FRCのFRCデータとして出力される。

【0043】以上の動作が繰り返され、階調データ（入力データ）は、2倍のフレーム周期を有するFRCデータ（出力データ）に変換される。

【0044】メモリからリードされるFRCデータの配列を液晶パネル120の画素配列に合ったものとするため、メモリ制御部212は、各メモリ領域A、B、Cに対し、2種類のアドレス制御を行う。

【0045】ライト／リード対象のFRCデータが、階調データの正規の1フレームに対応する場合（例えば、1W_FRC、1R_FRC）には、ライト動作とリード動作とで同じ順序のアドレスが生成され、ライトのなされた順序でFRCデータのリードがなされる。

【0046】一方、ライト／リード対象のFRCデータが、連続する2フレームの後半および前半に対応する場合（例えば、2W_FRC、2R_FRC）には、ライト動作とリード動作とでは異なる順序のアドレスが生成され、フレームの前半、後半の順序でFRCデータのリードがなされる。例えば、フレーム2R_FRCとしては、まず、フレーム2_inの前半に対応するFRCデータが outputされ、続いて、フレーム1_inの後半に対応するFRCデータが outputされる。

【0047】このアドレス制御により、データセレクタ208から出力されるFRCデータは、各出力フレーム1R_FRC、2R_FRC、・・・において、例えば、液晶パネル120の1行目の1列目、1行目の2列目、・・・、2行目の1列目、2行目の2列目、・・・

、最終行目の最終列目という順序となる。

【0048】出力フレームのFRCデータは、リードデータセレクタ208を介して液晶出力インターフェース部209へ入力される。液晶出力インターフェース部209は、入力されるFRCデータと、これに同期する同期信号群とを、液晶表示信号213として出力する。

【0049】次に、FRCパターン信号群302のパターン切替制御について、図4に示した階調率4/5の表示を例に説明する。

10 【0050】図6に、図4の階調表示を行う場合のメモリ制御のタイミングチャートを示す。ここでは、入力フレーム1_in、2_in、・・・の全ての階調データは、階調率が4/5のFRCパターン信号に対応するものとなる。また、出力フレーム1R_FRC、2R_FRC、3R_FRC、・・・は、それぞれ、図4のフレーム1、2、3、・・・に対応したものとなる。

【0051】FRC処理部A202で生成される階調率4/5のFRCパターン信号は、フレーム1_inの入力期間、ドットロックに同期して、図4のフレーム120に対応するパターンで変化する。続くフレーム2_inおよび3_inの各入力期間には、3フレーム先のフレーム4に対応するパターンで変化する。そして、続くフレーム4_inの入力期間には、3フレーム先のフレーム7（一巡してフレーム2と同じとなる）のパターンで変化する。

【0052】FRC処理部B203で生成される階調率4/5のFRCパターン信号は、入力フレーム1_inおよび2_inの各入力期間、フレーム2に対応するパターンで変化する。続く入力フレーム3_inの入力期間には、3フレーム先のフレーム5に対応するパターンで変化する。そして、続くフレーム4_inおよび5_inの各入力期間には、3フレーム先のフレーム8（フレーム3と同じ）のパターンで変化する。

【0053】FRC処理部C204で生成される階調率4/5のFRCパターン信号は、フレーム2_inの入力期間、フレーム3に対応するパターンで変化する。続く入力フレーム3_inおよび4_inの各入力期間には、3フレーム先のフレーム6（フレーム1と同じ）のパターンで変化する。そして、続くフレーム5_inの入力期間には、3フレーム先のフレーム9（フレーム4と同じ）のパターンで変化する。

【0054】このように、各FRC処理部は、1入力フレーム全体のFRCデータを処理する第1の動作と、2つの入力フレームの後半および前半のFRCデータを処理する第2の動作とを交互に繰り返す。第2の動作期間には2つの入力フレーム期間で同じパターンを生成し、動作期間の切り替わり時には、3フレーム先のパターンの生成を開始する。

【0055】パソコン用コンピュータ等の外部装置の表示画像の変化は低速であるため、本実施形態の液晶表示

装置100のように複数の入力フレームの階調データ210を用いて1画面分の階調表示を行うようにしても良好な表示が可能である。

【0056】なお、液晶コントローラ110は、メモリ領域を含め1つのLSIで実現される。このLSIは液晶パネル120の裏側等、液晶モジュール内に配置することができる。解像度(画素数)の調整や階調データのデータ量の調整を行うための変換部(図示せず)を、図2に示す回路の前段に配置するようにしてもよい。また、液晶出力インターフェース部209に、出力するFRCデータ(213)のパラレル化を行う機能を設け、複数画素分のFRCデータをデータドライバ140に並列転送するようにしてもよい。以上で説明したように、本実施形態の液晶表示装置100では、デジタル信号である階調データを入力されて、入力のフレーム周波数の2倍のフレーム周波数でFRCによる階調表示を行うことができる。また、液晶表示装置100では、FRCデータの生成が必要となるメモリ容量が、液晶パネル120の1画素当り3ビットとなり、1画素当り8ビットとなる従来例に比べ少容量の安価なメモリを使用することができます。TFT液晶表示装置用の表示信号を表示できるため、TFT液晶用に設計されたノート型パーソナルコンピュータ等において、TFT液晶表示装置との置き換えが容易になるという利点もある。

【0057】次に、本発明の第2の実施形態に係る液晶表示装置について説明する。

【0058】本実施形態の液晶表示装置は、FRCデータのフレーム周波数を、階調データのフレーム周波数の3倍とする例である。なお、液晶表示装置の構成および動作は、液晶コントローラを除き、第1の実施形態と共通する。

【0059】図7に、本実施形態の液晶コントローラ701の構成を示す。図示のように、この液晶コントローラ701には、FRC処理部DおよびメモリDがさらに設けられている。

【0060】図8に、液晶コントローラ701におけるメモリ制御のタイミングチャートを示す。図8において、Vsync信号および入力データ(階調データ)は第1の実施形態で用いたもの(図5)と同じタイミングを有する。また、フレームには、図5と同じ符号を付している。

【0061】本実施形態では、各メモリA～D間の動作周期(ライト動作およびリード動作)の位相と、リード動作期間とが、共に、階調データの1フレーム期間の1/3となる。

【0062】すなわち、メモリ領域Aにおいては、まず、1W_FRCがライトされた後、直ちにこのデータがライト時の3倍速の速さで1R_FRCとしてリードされる。その後、5W_FRCがライトされ、直ちにこのデータが3倍速の速さで5R_FRCとしてリードさ

れ、さらに9W_FRCがライトされ、直ちにこのデータが3倍速の速さで9R_FRCとしてリードされる。
【0063】ここで、1W_FRCは、1_inをFRC処理して生成されたものであり、5W_FRCは2_inの後半2/3と3_inの前半1/3とをFRC処理して生成されたものである。このため、5R_FRCデータとしては、3_inの前半1/3分が先に出力され、2_inの後半2/3分が後に出力されるように、入出力の順番が入れ替わる。同様に、9W_FRCは入力データ3_inの後半1/3と4_inの前半2/3とをFRC処理して生成されたものである。このため、9R_FRCデータとしては、4_inの前半2/3分が先に出力され、3_inの後半1/3分が後に出力されるように、入出力の順番が入れ替わる。

【0064】メモリ領域Bにおいては、メモリ領域Aに対して1フレームの1/3だけ遅れて2W_FRCがライトされた後、直ちにこのデータが3倍速の速さで2R_FRCとしてリードされる。その後6W_FRCがライトされ、直ちにこのデータが3倍速の速さで6R_FRCとしてリードされ、さらに10W_FRCがライトされ、直ちにこのデータが3倍速の速さで10R_FRCとしてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の2フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0065】同様に、メモリ領域Cにおいては、メモリ領域Bに対して1フレームの1/3だけ遅れて3W_FRCがライトされた後、直ちにこのデータが3倍速の速さで3R_FRCとしてリードされる。その後7W_FRCがライトされ、直ちにこのデータが3倍速の速さで7R_FRCとしてリードされ、さらに11W_FRCがライトされ、直ちにこのデータが3倍速の速さで11R_FRCとしてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の2フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0066】同様に、メモリ領域Dにおいては、メモリ領域Cに対して1フレームの1/3だけ遅れて4W_FRCがライトされた後、直ちにこのデータが3倍速の速さで4R_FRCとしてリードされる。その後8W_FRCがライトされ、直ちにこのデータが3倍速の速さで8R_FRCとしてリードされ、さらに12W_FRCがライトされ、直ちにこのデータが3倍速の速さで12R_FRCとしてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の2フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0067】そして、各メモリ領域A～DがらリードされるFRCデータを順番に選択したのもが出力データとなる。このとき出力データは1R_FRC、2R_FRC

C、3R_FRC、・・・の順番となり、出力フレーム周波数は、入力フレーム周波数に対して3倍となる。

【0068】FRC処理部A～DにおけるFRCパターン信号のパターン切替は、変換後に outputするFRCデータが属するフレームの出力順に応じてなされ、4つ先のフレームのパターンに替えられる。

【0069】例えば、図4の表示を行う例の場合、FRC処理部Aで生成される階調率4/5のFRCパターン信号は、1W_FRCのライト動作期間には図4のフレーム1に対応するパターン、5W_FRCのライト動作期間には4フレーム先のフレーム5に対応するパターン、9W_FRCのライト動作期間にはさらに4フレーム先のフレーム4に対応するパターンとなる。同様に、FRC処理部Bで生成される階調率4/5のFRCパターン信号は、2W_FRCのライト動作期間にはフレーム2に対応するパターン、6W_FRCのライト動作期間には4フレーム先のフレーム1に対応するパターンとなる。同様に、FRC処理部Cで生成される階調率4/5のFRCパターン信号は、3W_FRCのライト動作期間にはフレーム3に対応するパターン、7W_FRCのライト動作期間には4フレーム先のフレーム2に対応するパターンとなる。同様に、FRC処理部Dで生成される階調率4/5のFRCパターン信号は、4W_FRCのライト動作期間にはフレーム4に対応するパターン、8W_FRCのライト動作期間には4フレーム先のフレーム3に対応するパターンとなる。これにより、第1の実施形態と同様に、1R_FRCにより図4のフレーム1、2R_FRCによりフレーム2、3R_FRCによりフレーム3、・・・が表示される。

【0070】以上で説明したように、本実施形態の液晶表示装置では、入力される階調データのフレーム周波数の3倍のフレーム周波数で階調表示を行うことができる。また、FRCデータの生成で必要となるメモリ容量は、液晶パネル120の1画素当たり4ビットとなり、1画素当たり8ビットとなる従来例に比べ少なくできる。

【0071】上述の2つの実施形態では、階調データの入力フレーム周波数に対するFRCデータの出力フレーム周波数の倍速率Nを、2倍、3倍にする例を説明したが、本発明はこれに限定されない。倍速率Nが4以上の整数となる液晶コントローラは、FRC処理部およびメモリの組をN+1組み設けることにより、実現することができる。

【0072】また、本発明における倍速率Nは整数に限定されない。以下では、この一例を第3の実施形態として説明する。

【0073】本発明の第3の実施形態に係る液晶表示装置は、フレーム周波数の倍速率Nを2.5倍としたものである。この液晶表示装置は、液晶コントローラの内部構成を含め、第2の実施形態と同じブロック構成を有する。ただし、FRCデータのライト/リードのタイミン

グと、FRCパターン信号のパターン切替のタイミングとが異なる。

【0074】図9に、本実施形態の液晶コントローラにおけるメモリ制御のタイミングチャートを示す。図9において、Vsync信号および入力データ（階調データ）は第2の実施形態で用いたものと同じタイミングを有する。また、データのフレームには、図8と同じ符号を付している。

【0075】メモリ領域Aにおいては、1W_FRCがライトされた後、直ちにこのデータが2.5倍速の速さ、つまり入力の1フレームを2.5で割った時間で1R_FRCとしてリードされる。その後1/5フレーム期間のデータのアクセスしない時間を設け、その後5W_FRCがライトされ、直ちにこのデータが2.5倍速の速さで5R_FRCとしてリードされる。さらに再び1/5フレーム期間のデータのアクセスしない時間を設け、その後9W_FRCがライトされ、直ちにこのデータが2.5倍速の速さで9R_FRCとしてリードされる。ここで、1W_FRCデータは入力データ1_inをFRC処理して生成されたものであり、5W_FRCは入力データ2_inの後半2/5と3_inの前半3/5をFRC処理して生成されたものである。このため、5R_FRCデータとしては、3_inの前半3/5分が先に出力され、2_inの後半2/5分が後にに出力されるように、順番が入れ替わる。同様に、9W_FRCは入力データ4_inの後半4/5と5_inの前半1/5をFRC処理して生成されたものである。このため、9R_FRCデータとしては、5_inの前半1/5分が先に出力され、4_inの後半4/5分が後にに出力されるように、順番が入れ替わる。

【0076】メモリ領域Bにおいては、メモリ領域Aに対して1フレームの2/5だけ遅れて2W_FRCがライトされた後、直ちにこのデータが2.5倍速の速さで2R_FRCとしてリードされる。その後1/5フレーム期間のデータのアクセスしない時間を設け、その後6W_FRCがライトされ、直ちにこのデータが2.5倍速の速さで6R_FRCとしてリードされる。さらに再び1/5フレーム期間のデータのアクセスしない時間を設け、その後10W_FRCがライトされ、直ちにこのデータが2.5倍速の速さで10R_FRCとしてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の2フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0077】同様に、メモリ領域Cにおいては、メモリ領域Bに対して1フレームの2/5だけ遅れて3W_FRCがライトされた後、直ちにこのデータが2.5倍速の速さで3R_FRCとしてリードされる。その後1/5フレーム期間のデータのアクセスしない時間を設け、その後7W_FRCがライトされ、直ちにこのデータが2.5倍速の速さで7R_FRCとしてリードされる。

さらに再び $1/5$ フレーム期間のデータのアクセスしない時間を設け、その後 1I W_FRC がライトされ、直ちにこのデータが 2.5 倍速の速さで 1I R_FRC としてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の 2 フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0078】同様に、メモリ領域Dにおいては、メモリ領域Cに対して 1 フレームの $2/5$ だけ遅れて 4W_FRC がライトされた後、直ちにこのデータが 2.5 倍速の速さで 4R_FRC としてリードされる。その後 $1/5$ フレーム期間のデータのアクセスしない時間を設け、その後 8W_FRC がライトされ、直ちにこのデータが 2.5 倍速の速さで 8R_FRC としてリードされる。ここで、メモリ領域Aと同様、ライトデータが入力の 2 フレーム期間に渡る場合、メモリ領域Aの場合と同じ考え方で順番が入れ替わってリードされる。

【0079】そして、各メモリ領域A～DからリードされるFRCデータを順番に選択したものが出力データとなる。このとき出力データは 1R_FRC 、 2R_FRC 、 3R_FRC 、…の順番となり、また出力フレーム周波数は、入力フレーム周波数に対して 2.5 倍となっていることが分かる。

【0080】FRCパターン信号のパターン切替制御は、第2の実施形態で説明したものと同じ条件でなされる。

【0081】以上で説明したように、本実施形態の液晶表示装置では、フレーム周波数の倍速率Nを 2.5 倍とする階調表示を行うことができる。

【0082】さらに、小数部を有する他の実数を倍速率Nとする液晶表示装置も実現可能である。この場合、FRC処理部およびメモリ領域の組を、倍速率Nの少数点以下を繰り上げてこれに 1 を足した数だけ設けるようとする。そして、メモリをアクセスしない時間を適宜設定して時間調整を図ることにより、入力フレームに同期した動作がなされるようすればよい。

【0083】このように、本発明によれば、いろいろな値の倍速率Nに対応でき、液晶の応答速度やその他の特性に適合した最適なフレーム周波数で動作する液晶表示装置を実現できるようになる。

【0084】次に、本発明の第4の実施形態に係る液晶表示装置について説明する。

【0085】図10に、本実施形態の液晶表示装置1101のブロック構成を示す。この液晶表示装置1101は、図1に示した構成に加え、A/D変換器1102を具備したものである。図中、液晶モジュール1001は、図1に示す全ての構成要素からなる。もちろん、液晶コントローラとしては、第1～第3の実施形態で説明したものとの内どれを用いてもよい。

【0086】液晶表示装置1101は、外部装置からC

R/T表示装置用の表示信号および同期信号群を入力される。ここで、CRT表示装置用の表示信号は、R(赤)、G(緑)、B(青)のアナログデータとなる。

【0087】A/D変換器1102は、入力される表示データを8ビットの階調データ(デジタルデータ)に変換し、液晶モジュール1001内の液晶コントローラ110に出力する。これにより、液晶モジュール1001内の液晶パネル120に、階調データからFRCデータへの変換と、フレーム周波数の変換がなされ、256

10 階調の階調表示がなされる。

【0088】このように、本実施形態の液晶表示装置1101は、CRT表示装置用の表示信号を基にFRCによる階調表示を行うことができる。また、デスクトップ型コンピュータ等の外部装置に接続されるCRTモニタとの置き換えが容易であるという利点がある。

【0089】次に、本発明の第5の実施形態に係る液晶表示装置について説明する。

【0090】良好な表示を行うためのFRCデータの出力フレーム周波数は、液晶パネルの特性等により、ある範囲に収める必要がある。しかし、倍速率Nを固定とした場合には入力フレーム周波数の変化により、出力フレーム周波数が大きく変化してしまう。そこで、本実施形態の液晶コントローラは、出力フレーム周波数の設定を入力のフレーム周波数に応じて自動的に切り替える機能を備える。

【0091】図11は、出力フレーム周波数を180[Hz]付近に設定する場合における、入力フレーム周波数と倍速率Nとの関係を示した図である。本実施形態では、この関係にしたがって、入力フレーム周波数に応じて倍速率Nを変化させることにより、いろいろな入力フレーム周波数の信号の表示に対応する場合にも、常に、出力フレーム周波数を最適な範囲に収め、高品質な表示を可能にする。

【0092】本実施形態の液晶コントローラは、入力フレーム周波数の検出を行うため、図12に示す構成を有する。図中、カウンタ1302は、一定周波数の高速クロック1301に従いカウントアップし、階調データと共に入力されるVsync信号でリセットされる。フレーム周波数切り替え部1303は、カウンタ1302のカウント値(最大値)を基に入力フレーム周波数を推定する。また、フレーム周波数切り替え部1303は、入力フレーム周波数と倍速率Nとの対応関係(図11)を予め登録されており、推定した入力フレーム周波数に対応する倍速率Nを切替信号として出力する。

【0093】また、本実施形態の液晶コントローラは、最も高い倍速率N(3倍)に対応する、第2の実施形態で説明した構成(図7)を有する。メモリ制御部は、フレーム周波数切り替え部1303からの切替信号に応じて、3種類のメモリ制御動作を選択的実施する。また、FRC処理部も、切替信号に応じて、3種類のバタ

ーン切替制御を選択的に実施する。

【0094】倍速率Nが2倍の時、メモリ制御部はメモリ領域A～Cに対し、第1の実施形態で説明したのと同じ制御を行う。この間、FRC処理部Dおよびメモリ領域Dは使用されず、データセレクタはメモリ領域A～Cのリードデータのみを選択する。倍速率Nが3倍の時、メモリ制御部は、第2の実施形態で説明したのと同じ制御を行う。倍速率Nが2.5倍の時は第3の実施形態で説明したのと同じ制御を行う。倍速率Nの変化に伴い、リード動作のタイミングクロックも切り替えられ、入力フレーム周波数および倍速率Nに対応した速度でリードがなされる。

【0095】以上のように、本実施形態の液晶表示装置では、入力フレーム周波数の値に応じて自動的に、倍速率Nを切り替え可能であることから、常に、液晶パネルに最適なフレーム周波数の表示を提供できる。このことから、表示画像の高画質化が実現可能である。

【0096】

【発明の効果】以上で説明したように、本発明によれば、表示信号のフレーム周波数の変換と、FRCによる階調表示処理とを、より少ない容量のメモリを用いて実現する液晶コントローラ、および、それを用いた液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】 第1の実施形態の液晶コントローラの構成を示すブロック図である。

【図3】 FRC処理部の構成を示すブロック図である。

【図4】 FRCによる階調表示のフレーム(FRCパターン信号のパターン)の一例を示す図である。 *

* 【図5】 液晶コントローラの動作を示すタイミングチャートである。

【図6】 図4の表示を行う場合のライトデータの内容を示す図である。

【図7】 本発明の第2の実施形態に係る液晶コントローラの構成を示すブロック図である。

【図8】 液晶コントローラの動作を示すタイミングチャートである。

【図9】 本発明の第3の実施形態に係る液晶コントローラの動作を示すタイミングチャートである。

【図10】 本発明の第4の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図11】 本発明の第5の実施形態に係る液晶コントローラにおける、入力フレーム周波数と、フレーム周波数の倍速率との関係を示す図である。

【図12】 自動フレーム周波数判定手段の構成を示すブロック図である。

【図13】 従来の液晶コントローラの構成を示すブロック図である。

【符号の説明】

100…液晶表示装置、110…液晶コントローラ、120…液晶パネル、130…走査ドライバ、140…データドライバ、202…FRC処理部A、203…FRC処理部B、204…FRC処理部C、205…メモリ領域A、206…メモリ領域B、207…メモリ領域C、208…データセレクタ、209…液晶出力インターフェース、212…メモリ制御装置、301…FRCパターン生成器、302…FRCパターン信号群、303…FRCパターンセレクタ、1001…液晶モジュール、1101…液晶表示装置、1102…A/D変換器、1301…自動判定用高速クロック、1302…カウンタ、1303…フレーム周波数切り替え部。

【図1】

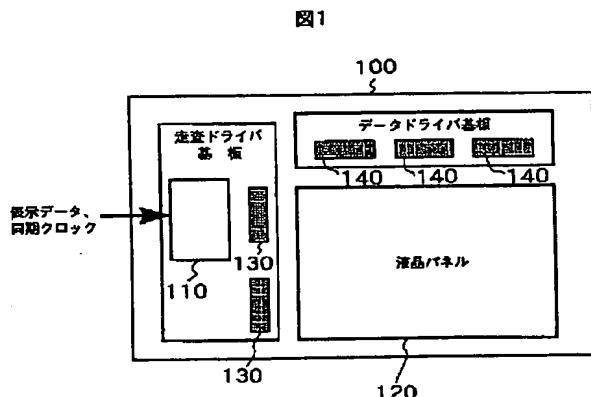


図1

【図3】

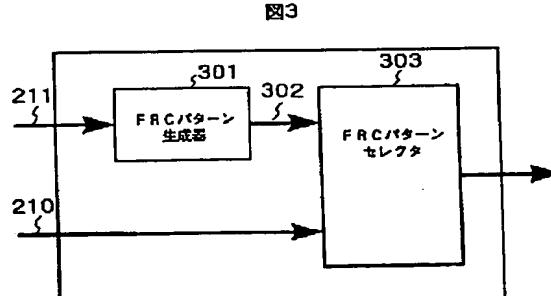
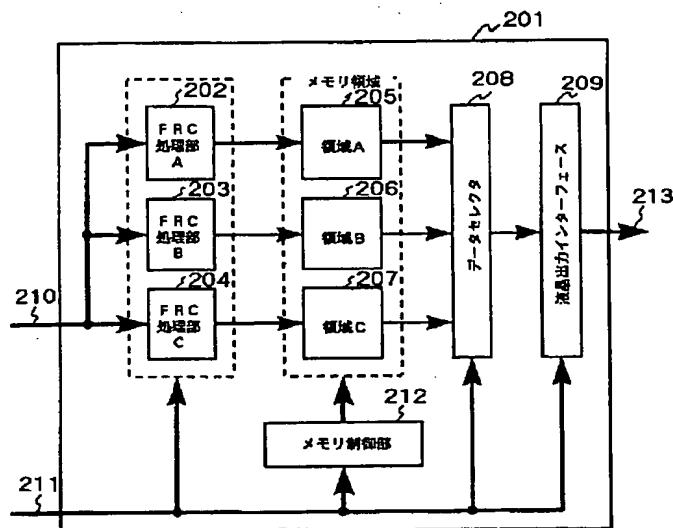


図3

【図2】

図2



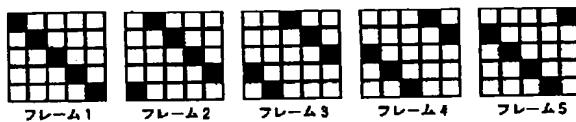
【図11】

図11

入力フレーム 周波数 Hz	倍速率	出力フレーム 周波数 Hz
55~65	3	165~195
66~80	2.5	165~200
81~85	2	162~170

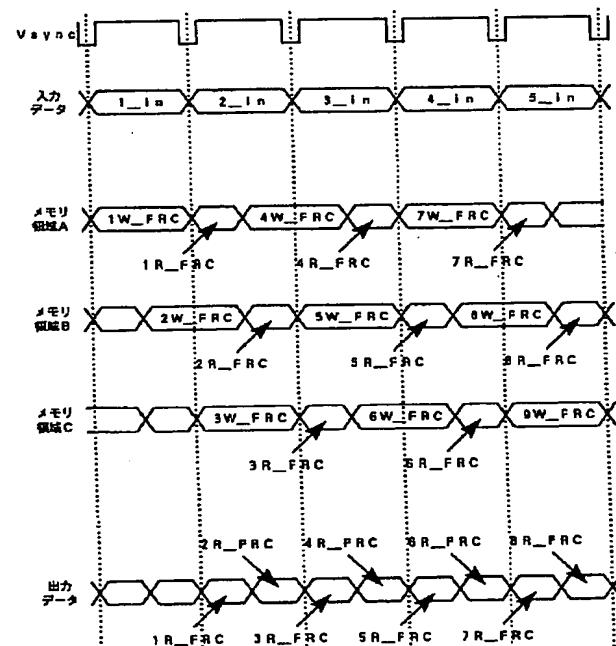
【図4】

図4



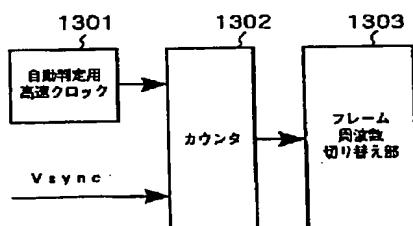
【図5】

図5



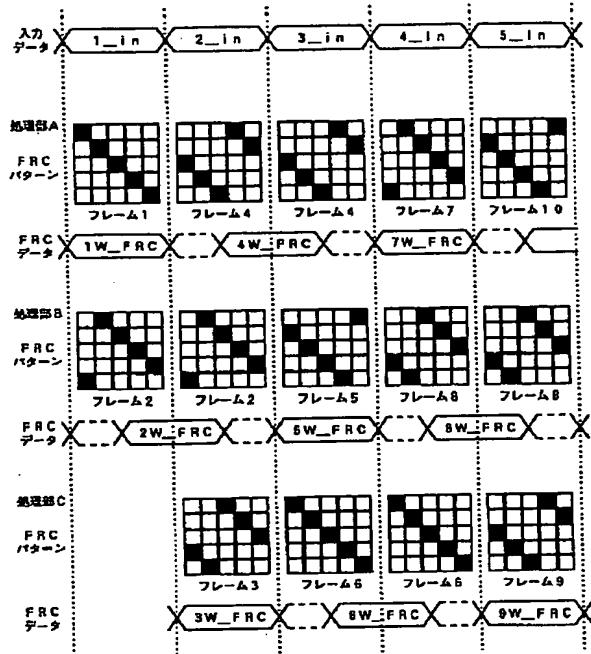
【図12】

図12



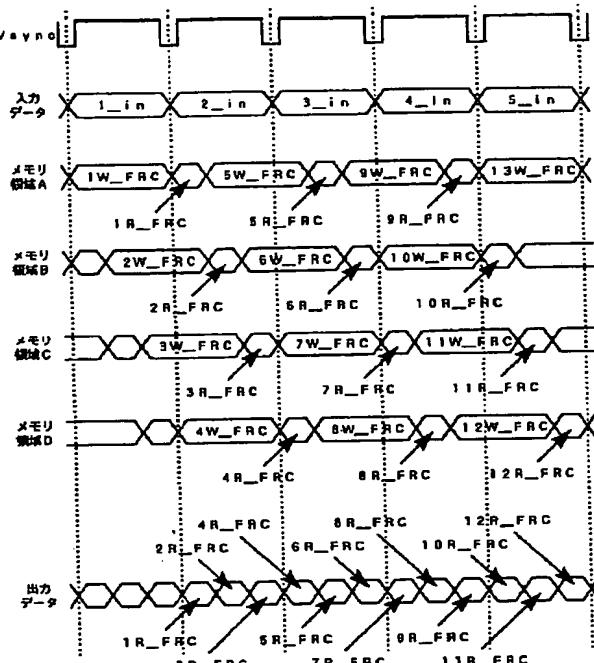
【図6】

図6



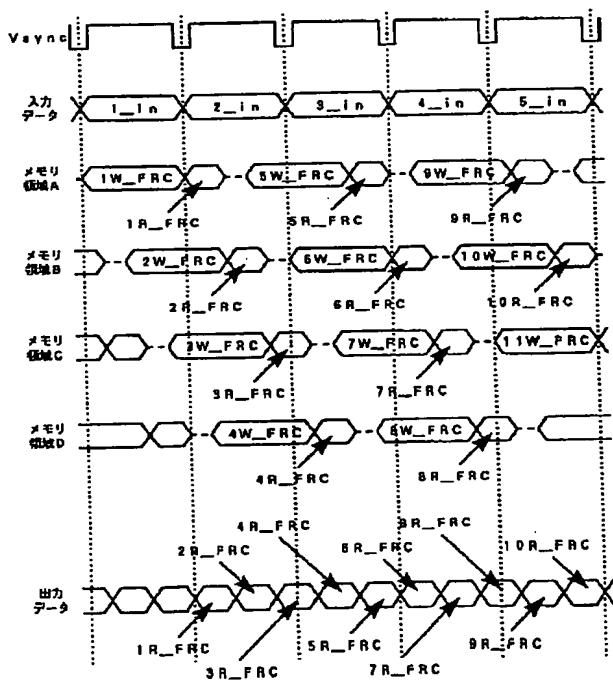
【図8】

図8



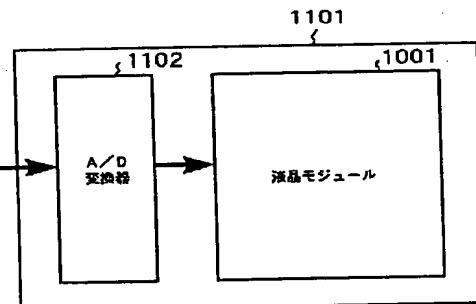
【図9】

図9



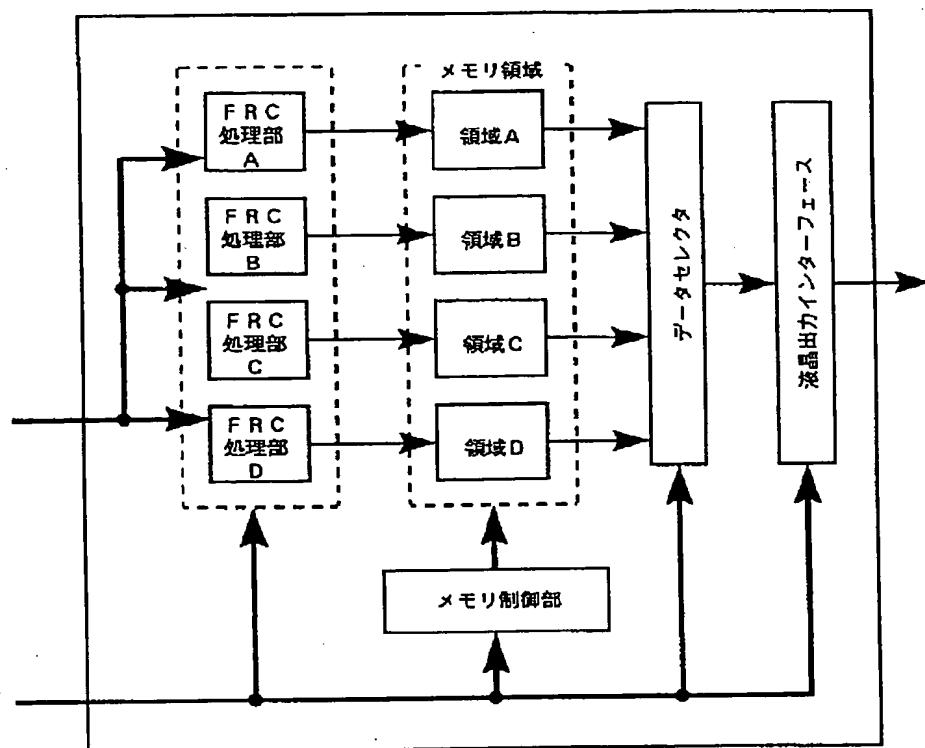
【図10】

図10



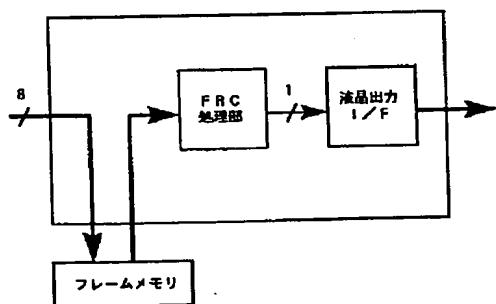
【図7】

図7



【図13】

図13



フロントページの続き

(72)発明者 内田 真嗣
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 犬塚 達裕
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内